

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年2月6日 (06.02.2003)

PCT

(10) 国際公開番号
WO 03/010671 A1(51) 国際特許分類⁷: G06F 12/16, G11C 16/02

(21) 国際出願番号: PCT/JP02/07356

(22) 国際出願日: 2002年7月19日 (19.07.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-225015 2001年7月25日 (25.07.2001) JP
特願2001-236928 2001年8月3日 (03.08.2001) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 中田 充

(NAKADA, Mitsuru) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
富田 光彦 (TOMITA, Mitsuhiro) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).

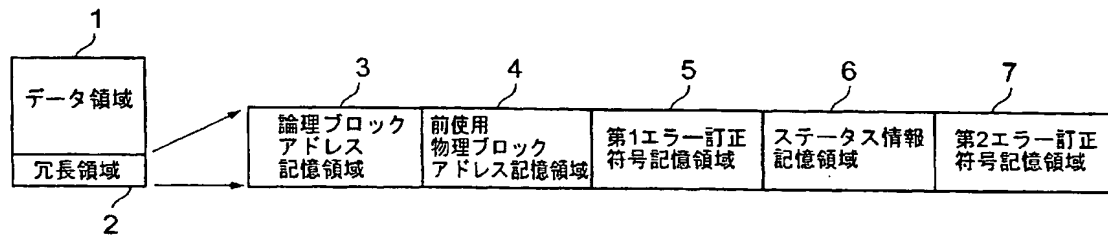
(81) 指定国 (国内): CN, KR, US.

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: NON-VOLATILE MEMORY AND NON-VOLATILE MEMORY DATA REWRITING METHOD

(54) 発明の名称: 不揮発性メモリ並びに不揮発性メモリのデータ書き換え方法



- 1...DATA AREA
2...REDUNDANT AREA
3...LOGICAL BLOCK ADDRESS STORAGE AREA
4...PRE-USE PHYSICAL BLOCK ADDRESS STORAGE AREA
5...FIRST ERROR CORRECTION CODE STORAGE AREA
6...STATUS INFORMATION STORAGE AREA
7...SECOND ERROR CORRECTION CODE STORAGE AREA

(57) Abstract: A non-volatile memory and a non-volatile memory data rewriting method capable of easily sensing an operation state at system down due to electric power failure or the like and reliably and rapidly returning to a normal storage state by a simple procedure. The non-volatile memory consists of storage units which are physical blocks, each having a data area (1) and a redundant area (2). The redundant area (2) includes a logical block address storage area (3) for storing an address of a corresponding logical block, a pre-use physical block address storage area (4) for storing an address of a physical block to be erased, and a status information storage area (6) for storing status information for discriminating the operation state of each stage generated when data rewriting is performed in the physical block.

[続葉有]

WO 03/010671 A1



(57) 要約:

停電等によるシステムダウン時における動作状態を容易に検知することができ、簡単な手順により確実かつ迅速に正常な記憶状態に復帰させることを可能とする不揮発性メモリおよび不揮発性メモリのデータ書き換え方法である。データ領域（１）と冗長領域（２）とを備える物理ブロックを記憶単位として構成される不揮発性メモリにおいて、冗長領域（２）が、対応する論理ブロックのアドレスを記憶する論理ブロックアドレス記憶領域（３）と、消去対象である物理ブロックのアドレスを記憶する前使用物理ブロックアドレス記憶領域（４）と、物理ブロックに対してデータ書き換え動作を実施する際に生起する各段階の動作状態を識別するステータス情報を記憶するステータス情報記憶領域（６）とを有して構成されている。

明細書

不揮発性メモリ並びに不揮発性メモリのデータ書き換え方法

5 技術分野

この発明は、メモリカード等の電子機器に設けられた例えばNAND型フラッシュメモリ等の不揮発性メモリにおいて停電等によるシステムダウンが生じて、再起動時に欠陥が生じているデータブロックを検出して正常な記憶状態への復帰を可能とする不揮発性メモリ、並びに当該

10 不揮発性メモリにおけるデータ書き換え方法に関するものである。

背景技術

近年、大量のデータを記憶するのに適した低コストのNAND型フラッシュメモリ等の不揮発性メモリが、家電機器、携帯電子機器、メモリ

15 カード等の電子機器に幅広く使用されている。例えばフラッシュメモリを備えた電子機器において停電や動作不良等に起因するシステムダウンが生じると、フラッシュメモリに記憶されたデータの一部が破壊される可能性がある。このようなシステムダウンに対するデータ保護対策の方式としては、例えばチェックサムやCRC (Cyclic Redundancy

20 Check) 符号等を用いてフラッシュメモリに書き込むデータを冗長化しておくとともに、電源投入によるシステム復帰時においてフラッシュメモリに格納されたデータからチェックサムを算出し、データに異常があるか否かを判定する。

また、データ保護対策の他の方式としては、フラッシュメモリに加えて

25 フラッシュメモリよりも高速書き込みが可能な補助不揮発性メモリを設けて、この補助不揮発性メモリにおいて最新の所定数の動作状態 (ス

データス)に係るバス情報を記憶するようにする。第1図は、このような従来のフラッシュメモリを備えた電子機器の概略構成を示すブロック図である。第1図において、101は電子機器、102はCPU、103はメインメモリとして与えられるフラッシュメモリ、104はフラッシュメモリよりも高速書き込みが可能な補助不揮発性メモリ、105はCPU102とフラッシュメモリ103とを接続するバス、106はバス105から分岐して補助不揮発性メモリ104に接続されるバス、107は補助不揮発性メモリ104にコントロール信号を供給する信号線である。

次に、第1図に示された電子機器の動作について説明する。例えば、フラッシュメモリ103の各動作期間の前半にCPU102は補助不揮発性メモリ104にコントロール信号を供給し、補助不揮発性メモリ104は当該コントロール信号に応答してバス106を介してバス105上の情報を記録する。このバス情報の記録は、データの書き込み、読み出し、消去等の処理により生起するステータスについて最新の複数ステータスに係るバス情報のみを記録する。したがって、補助不揮発性メモリ104はそれほど大きな記憶容量を必要とはしない。これにより、書き込み動作や消去動作に長時間を要するフラッシュメモリにおいて、動作中に停電等によるシステムダウンが発生しても、その直前の所定数のステータスに係るバス情報が補助不揮発性メモリに記録されるので、システム復帰後に補助不揮発性メモリに記録されたバス情報を解析することで、システムダウン発生時の動作状態を特定しフラッシュメモリにおけるデータ異常を検出してフラッシュメモリを正常な記憶状態に復帰させる。

フラッシュメモリを備えた従来の電子機器は上記のようなデータ保護対策機能を有しており、前者のチェックサムやCRC符号を用いる方法

では、システムダウン時の動作状態を検知することができないので、システムを復帰する処理あるいはフラッシュメモリのデータを復元する処理を実施する為に複雑なシステムを構築する必要があるという課題があった。

- 5 また、後者の補助不揮発性メモリにバス情報を記憶する方法では、記憶されたバス情報を解析してシステムダウン発生時の動作状態を特定して当該特定された動作状態に応じてフラッシュメモリのデータを復元しなければならず、データ復元処理を実施する為に複雑なシステムを構築する必要があるという課題があった。

10

発明の開示

- この発明は上記のような課題を解決するためになされたもので、停電等によるシステムダウン時におけるNAND型フラッシュメモリ等の不揮発性メモリに係る動作状態を容易に検知することができて、迅速かつ
- 15 確実に正常な記憶状態に復帰させることができる不揮発性メモリ、並びに当該不揮発性メモリのデータ書き換え方法を得ることを目的とする。

- この発明に係る不揮発性メモリは、データが記憶されるデータ領域と種々の管理情報等が記憶される冗長領域とを備える物理ブロックを記憶単位として構成され、それぞれの冗長領域において、当該冗長領域の含まれる物理ブロックに対応する論理ブロックを特定する情報を記憶する
- 20 論理ブロック情報記憶領域と、対応する論理ブロックが1つ前に対応付けられていた物理ブロックである前使用物理ブロックを特定する情報を記憶する前使用物理ブロック情報記憶領域と、当該冗長領域の含まれる物理ブロックをデータの書き込み対象としたデータ書き換え動作を実施
- 25 する際に生起する各段階の動作状態を識別するステータス情報を記憶するステータス情報記憶領域とを設けるようにしたものである。

上記のような構成をとることで、停電等によるシステムダウンが生じても、ステータス情報記憶領域を参照することでシステムダウン時に書き込みの対象となっていた物理ブロックについてその動作状態を検知することができるとともに、前使用物理ブロック情報記憶領域を参照することで上記物理ブロックに係る前使用物理ブロックを特定することができるから、動作状態に応じてデータ破壊の生じた可能性のある物理ブロックおよび当該物理ブロックに係る前使用物理ブロックに対して適切な復元処理を実施することが可能となり、不揮発性メモリを正常な記憶状態に復帰させることができるという効果を奏する。

10 また、この発明に係る不揮発性メモリは、ステータス情報記憶領域において、当該ステータス情報記憶領域の含まれる物理ブロックが消去状態にあることを示す第1のステータス情報と、当該ステータス情報記憶領域の含まれる物理ブロックへのデータの書き込みが完了してはいるが
15 対応する前使用物理ブロックのデータが未消去である状態を示す第2のステータス情報と、当該ステータス情報記憶領域の含まれる物理ブロックへのデータの書き込みが完了するとともに対応する前使用物理ブロックのデータが消去済みである状態を示す第3のステータス情報とが少なくとも記憶されるようにしたものである。

20 また、この発明に係る不揮発性メモリのデータ書き換え方法は、データを書き換える対象となる論理ブロックを特定する第1のステップと、消去状態にあつて書き込み可能な物理ブロックである空きブロックのなかからデータの書き込み対象となる物理ブロックを特定する第2のステップと、論理ブロックと物理ブロックとを対応付けるアドレス変換テーブルを参照して、書き換え対象の論理ブロックに対応付けられている物理
25 ブロックである前使用物理ブロックを特定する第3のステップと、書き込み対象の物理ブロックにデータを書き込む第4のステップと、前使

- 用物理ブロックのデータを消去する第 5 のステップと、書き換え対象の論理ブロックに書き込み対象の物理ブロックを対応付けるようにアドレス変換テーブルを更新する第 6 のステップとを有し、書き込み対象の物理ブロックについては、当初消去状態にあることを示す第 1 のステータス情報が設定され、第 4 のステップの処理が終了した後にデータの書き込みが完了したことを示す第 2 のステータス情報が設定され、第 5 のステップの処理が終了した後に前使用物理ブロックのデータの消去が完了したことを示す第 3 のステータス情報が設定されるようにしたものである。
- 10 上記のような構成をとることで、データ書き換え動作に際して生起する各段階の動作状態についてシステムダウンが生じた場合に必要とされる復元処理の内容が変わる時点でステータス情報が変更されるようになされているから、ステータス情報を参照することで不揮発性メモリを正常な記憶状態に容易に復帰させることができるという効果を奏する。
- 15 また、この発明に係る不揮発性メモリ並びに不揮発性メモリのデータ書き換え方法は、第 1 のステータス情報と第 2 のステータス情報と第 3 のステータス情報とが同じビット数で表現され、第 1 のステータス情報を表現するビット列における 1 または複数のビットに係るバイナリデータを“1”から“0”へ変更することで第 2 のステータス情報が構成され、第 2 のステータス情報を表現するビット列における 1 または複数のビットに係るバイナリデータを“1”から“0”へ変更することで第 3 のステータス情報が構成されるようにしたものである。
- 20 上記のような構成をとることで、ステータス情報を変更する際に停電等によるシステムダウンが発生してステータス情報が本来とるべき値を有しないという異常が生じたとしても、ステータス情報の変更がステータス情報を構成するビット列における 1 または複数のビットに係るバイ

ナリデータを“1”から“0”へ変更することで実施されることに鑑みれば、異常の生じたステータス情報と第2のステータス情報を表現するビット列との論理積をとって当該論理積を評価することで、ステータス情報を第1のステータス情報から第2のステータス情報へ変更する際にシステムダウンが発生したのか、あるいはステータス情報を第2のステータス情報から第3のステータス情報へ変更する際にシステムダウンが発生したのかを判定することが可能となり、不揮発性メモリの動作状態を簡単な判定方式により詳細に検知することができて、不揮発性メモリを迅速かつ確実に正常な記憶状態に復帰させることができるという効果を奏する。

また、この発明に係る不揮発性メモリのデータ書き換え方法は、消去状態にあって書き込み可能な物理ブロックである空きブロックのなかからデータの書き込み対象となる物理ブロックを特定する第2のステップが、空きブロックの数を確認する第7のステップと、乱数を発生させて、複数の空きブロックのなかから1つの空きブロックを選定し、当該空きブロックを書き込み対象となる物理ブロックとして特定する第8のステップとを有するようにしたものである。

上記のような構成をとることで、不揮発性メモリへのデータの書き換え回数が多くなれば各物理ブロックの書き換え回数も統計的に平均化されることが予測され、各物理ブロックの書き換え回数を平均化させて不揮発性メモリの寿命を延ばすことができるという効果を奏する。

また、この発明に係る不揮発性メモリのデータ書き換え方法は、空きブロックの数だけ順次配列された複数の記憶部から成りそれぞれの記憶部には空きブロックを特定する情報が記憶されている空きブロック登録テーブルを設けて、発生された乱数に応じて、空きブロック登録テーブル内のいずれかの記憶部を選定することで書き込み対象となる空きブ

ックを特定するようにしたものである。

上記のような構成をとることで、空きブロックの管理を容易にするるとともに、空きブロック登録テーブルを構成する各記憶部をそれぞれ指標する相対的なアドレスとして与えられる連続した整数にそれぞれの空き
5 ブロックを対応付けることで、空きブロック数に応じた所定の数値範囲において乱数を発生させるという簡易な方式を用いるのみで各空きブロックをおおよそ同じ確率で選定できるようにするという効果を奏する。

図面の簡単な説明

10 第1図は、フラッシュメモリを備えた従来の電子機器の概略構成を示すブロック図である。

第2図は、不揮発性メモリの記憶領域に係る論理ブロックと物理ブロックとの関係を示す図である。

15 第3図は、物理ブロック内に記憶される管理情報に係るデータ構造を示す図である。

第4図は、不揮発性メモリにおけるデータの書き換え動作を示すフローチャートである。

第5図は、データの書き換えを実施する際における物理ブロック内のデータ変化を示す図である。

20 第6図は、この発明の実施例1による記憶状態正常化方法を示すフローチャートである。

第7図は、異常ブロックのなかにおける消去済み物理ブロックの検索処理を示すフローチャートである。

25 第8図は、異常ブロックに係る正常化処理を示すフローチャートである。

第9図は、この発明の実施例2において用いられる空きブロック登録

テーブル等を示す図である。

第10図は、この発明の実施例2による適切な空きブロックの検出方法を示すフローチャートである。

5 発明を実施するための最良の形態

以下、添付の図面を参照して本願発明に係る実施例を説明する。なお、実施例を構成する各要素または各工程と、請求の範囲に記載された発明を構成する各要素または各工程との対応関係を明らかにするために、以下の詳細な説明において、実施例の各要素または各工程に対応する請求
10 の範囲に記載された発明の各要素または各工程を、それぞれ実施例の各要素または各工程に続けて適宜かっこ書きにより示すものとする。

実施例1.

第2図は、不揮発性メモリの記憶領域に係る論理ブロックと物理ブロックとの関係を示す図である。書き換え可能な不揮発性メモリの代表的
15 なものにNAND型フラッシュメモリがある。この種のフラッシュメモリは、ブロック単位で管理され、データの消去（通常は全ビットに対してバイナリデータ“1”を書き込む動作）はブロック単位で実施される。また、本願発明では、書き込みについても基本的にはブロック単位で実施するものとするが、1または複数の任意のビットに係るバイナリデータ
20 を“1”から“0”へ変換するのみで実行可能なデータの書き込みについてはより小さな記憶単位で実施することが可能である。

フラッシュメモリをアクセスする際には、第2図に示されるように、与えられた論理ブロックアドレスを例えばCPUに接続されたRAM内に格納されるアドレス変換テーブルを参照することで物理ブロックアドレスに変換し、データの消去、書き込み、読み出し等を実施する物理ブ
25 ロックを特定する。このように論理ブロックアドレスによりアクセスす

る方式をとることで、欠陥のある物理ブロックが発生した場合に当該欠陥ブロックに対する処理動作を代替用の別の空きブロックに対して実施しても、アプリケーションプログラム等を実行するCPU側ではブロック代替の有無に関係なく同一の論理ブロックアドレスを用いてアクセス

5 することが可能となる。

第3図は、本願発明において採用される物理ブロック内に格納される管理情報に係るデータ構造を示す図である。第3図において、1は通常のデータが記憶されるデータ領域、2は当該物理ブロックに係る管理情報やエラー訂正符号等に係るデータが記憶される冗長領域であり、データ領域1と冗長領域2とから物理ブロックが構成される。また、3は当該冗長領域を有する物理ブロックに対応する論理ブロックのアドレスを記憶する論理ブロックアドレス記憶領域（論理ブロック情報記憶領域）、4は当該冗長領域を有する物理ブロックに対応する論理ブロックが1つ前に対応付けられていた物理ブロック（以下では、このような物理ブロックを前使用物理ブロックと称するものとする）のアドレスを記憶する前使用物理ブロックアドレス記憶領域（前使用物理ブロック情報記憶領域）、5は論理ブロックアドレス記憶領域3に記憶された論理ブロックアドレスと前使用物理ブロックアドレス記憶領域4に記憶された前使用物理ブロックアドレスとに係るエラー訂正符号を記憶する第1エラー訂正符号記憶領域、6は当該冗長領域を有する物理ブロックに対して実施される処理に基づいて生起する各段階の動作状態をそれぞれ示すステータス情報を記憶するステータス情報記憶領域、7はデータ領域1に記憶されたデータに係るエラー訂正符号を記憶する第2エラー訂正符号記憶領域である。

10 15 20 25

次に、本願発明に係るフラッシュメモリに対して実行されるデータ書き換え動作について説明する。まず任意の論理ブロックに記憶されるデ

- ータに係る書き換え動作の概略的な手順について説明する。第1に、データ書き換えの対象となる論理ブロックを特定する。第2に、空いている物理ブロックを検索する。第3に、空いている物理ブロックへ書き換え用のデータを書き込む。第4に、それまで書き換え対象の論理ブロック
- 5 クに対応付けられていた物理ブロックのデータを消去する。第5に、書き換え対象の論理ブロックを書き込みの実施された物理ブロックに対応付けるようにアドレス変換テーブルを更新する。このように、データ書き換えを実施する際に新たな物理ブロックにデータを書き込むとともに前使用物理ブロックに記憶されたデータを消去する方式をとることで、
- 10 停電等によるシステムダウンが生じてても書き換え対象の論理ブロックに係る管理情報が書き込み対象の物理ブロックまたは前使用物理ブロックのいずれかには残されて消失することがなくシステムの復帰が可能となり、また同一の物理ブロックへの書き込みの集中による素子の劣化を防止してフラッシュメモリ自体の寿命を延ばすことが可能となる。
- 15 次に、データ書き換え動作の詳細について説明する。第4図は、データ書き換え動作を示すフローチャートである。第5図は、データ書き換えに際して、消去処理の対象となる前使用物理ブロックと書き込み処理の対象となる物理ブロック内におけるデータの変化を示す図である。なお、第5図の左端に示される番号はデータの書き換えを実施する過程で
- 20 生起する各段階の動作状態を識別するためのステータス番号である。ここでは、前提条件として、書き換え対象の論理ブロックのアドレスをLとし、アドレス変換テーブルにおいて当該論理ブロックに当初対応付けられている前使用物理ブロックのアドレスをP1とする。なお、以降の説明においては、アドレスnによりアクセスされる論理ブロックおよび
- 25 物理ブロックをそれぞれ論理ブロックnおよび物理ブロックnとそれぞれ適宜称するものとする。まず、書き換え対象となる論理ブロックLを

特定する（ステップS 1（第1のステップ））。次に、フラッシュメモリの各物理ブロックを例えばアドレスについて昇順または降順に検索して、空きブロックを検出し当該空きブロックのアドレスP 2を特定する（ステップS 2（第2のステップ））。なお、初期状態（ステータス 0）では、消去処理の対象となる前使用物理ブロックP 1の冗長領域において、ステータス情報としては“0 0 0 0_h”（hは16進数を示すものである）、論理ブロックアドレスとしてはL、前使用物理ブロックアドレスとしては論理ブロックLに物理ブロックP 1が対応付けられる1つ前に論理ブロックLに対応付けられていた前使用物理ブロックのアドレスP 0が記憶されている。また、物理ブロックP 2のデータ領域および冗長領域には全てバイナリデータ“1”が記憶され、すなわち消去状態にある。

データの書き込み対象となる物理ブロックP 2が特定されれば、アドレス変換テーブルを参照して、論理ブロックLに対応付けられている前使用物理ブロックのアドレスP 1を特定する（ステップS 3（第3のステップ））。物理ブロックP 2については、データ領域1にデータを書き込むとともに、冗長領域2内の論理ブロックアドレス記憶領域3には論理ブロックLに係るアドレスデータを書き込み、前使用物理ブロックアドレス記憶領域4には論理ブロックLに対して1つ前に対応付けられていた消去対象である前使用物理ブロックP 1に係るアドレスデータを書き込み、第1エラー訂正符号記憶領域5には論理ブロックLに係るアドレスデータと物理ブロックP 1に係るアドレスデータとに対するエラー訂正符号を書き込み、第2エラー訂正符号記憶領域7にはデータ領域1に記憶されたデータに対するエラー訂正符号を書き込む（ステップS 4（第4のステップ））。なお、ステータス情報記憶領域6については、ステータス情報“F F F F_h”（第1のステータス情報）を保持させる。

なお、第5図において、“ $1 \rightarrow 0$ ”はデータが書き込み途中であることを示し、図中縦方向に延びる矢印は前段階のステータスからデータの値がそのまま保持されることを示す。さらに、上記の物理ブロックP2へのデータ書き込み動作については、物理ブロックP2へデータが書き込まれている途中の動作状態をステータス1で示し、物理ブロックP2へのデータ書き込みが完了している動作状態をステータス2で示してそれぞれ区別するものとする。

物理ブロックP2へのデータ書き込みが完了すれば、物理ブロックP2へのデータ書き込みが完了したことを示すように、ステータス情報記憶領域6にステータス情報“AAAA_h”（第2のステータス情報）を書き込む（ステップS5）。この際、冗長領域2内の他の記憶領域のデータについては同一の値を保持させる。また、上記のステータス情報記憶領域6へのステータス情報書き込み動作については、ステータス情報記憶領域6へデータが書き込まれている途中の動作状態をステータス3で示し、ステータス情報記憶領域6へのステータス情報“AAAA_h”の書き込みが完了している動作状態をステータス4で示してそれぞれ区別するものとする。

ステータス情報“AAAA_h”の書き込みが完了すれば、前使用物理ブロックP1のデータを消去する（ステップS6（第5のステップ））。この消去動作については、既に述べたように前使用物理ブロックP1内の全メモリセルについてバイナリデータ“1”を書き込むことで実現される。また、図中“ $0 \rightarrow 1$ ”はデータを消去途中であることを示す。さらに、上記の前使用物理ブロックP1の消去動作については、前使用物理ブロックP1のデータが消去される途中の動作状態をステータス5で示し、前使用物理ブロックP1のデータ消去が完了している動作状態をステータス6で示してそれぞれ区別するものとする。

- 前使用物理ブロック P 1 のデータ消去が完了すれば、論理ブロック L が 1 つ前に対応付けられていた前使用物理ブロック P 1 に記憶されたデータの消去が完了したことを示すように、物理ブロック P 2 の冗長領域 2 内のステータス情報記憶領域 6 にステータス情報 “0 0 0 0_h” (第 3 のステータス情報) を書き込む (ステップ S 7)。この際、冗長領域 2 内の他の記憶領域のデータについては同一の値を保持させる。また、上記のステータス情報記憶領域 6 への書き込み動作については、ステータス情報記憶領域 6 へデータが書き込まれている途中の動作状態をステータス 7 で示し、ステータス情報記憶領域 6 へのステータス情報 “0 0 0 0_h” の書き込みが完了している動作状態をステータス 8 で示してそれぞれ区別するものとする。そして、アドレス変換テーブルにおいて、論理ブロック L に対応付けられる物理ブロックを物理ブロック P 1 から物理ブロック P 2 に変更する (ステップ S 8 (第 6 のステップ)) ことで、データ書き換え動作を完了する。
- 次に、停電や動作不良等に起因するシステムダウンが生じた後に実施されるシステム復帰処理に伴ってフラッシュメモリ内におけるデータ記憶状態を正常化する方法について説明する。第 6 図は、この発明の実施の形態 1 による記憶状態正常化方法を示すフローチャートである。システムが再起動すると、フラッシュメモリの記憶単位である各物理ブロック毎に検索を実施して、第 1 に冗長領域 2 内のステータス情報記憶領域 6 からステータス情報を読み出す (ステップ S 1 1)。次に、ステータス情報が “F F F F_h” に等しいか否かを判定する (ステップ S 1 2)。ステータス情報が “F F F F_h” に等しい場合には、当該物理ブロックに記憶されているデータが消去状態にあるべきことを示すものであるから、当該物理ブロックのデータを消去する処理すなわち当該物理ブロック内の全メモリセルについてバイナリデータ “1” を書き込む処理を実

- 施する（ステップS 1 3）。これにより、第5図に示されるステータス1またはステータス2において停電等によるシステムダウンが発生した場合でも、当該物理ブロックへ書き込み途中であるデータあるいは書き込まれたデータを消去して当該物理ブロックをステータス情報に応じた
- 5 正常な記憶状態に復帰させることができる。なお、当該物理ブロックへの書き込みが予定されていたデータの再書き込みについては、システムダウンの生じた電子機器のホストシステムあるいはネットワークサーバへアクセスする等の方法を用いて、正しいデータを再書き込みすることで実現することが可能である。
- 10 ステップS 1 2においてステータス情報が“F F F F_h”に等しくない場合には、ステータス情報が“A A A A_h”に等しいか否かを判定する（ステップS 1 4）。ステータス情報が“A A A A_h”に等しい場合には、当該物理ブロックへのデータの書き込みは完了しているが当該物理
- 15 物理ブロックに係る前使用物理ブロックのデータ消去が完了していない可能性があるために、前使用物理ブロックのデータを消去する（ステップS 1 5）とともに、当該物理ブロックのステータス情報記憶領域6に“0 0 0 0_h”を書き込む（ステップS 1 6）。これにより、第5図に示されるステータス4、ステータス5またはステータス6において停電等によるシステムダウンが発生した場合でも、検索対象の物理ブロック
- 20 のステータス情報を変更するとともに、データ未消去または消去途中の前使用物理ブロックのデータを消去することで、検索対象となっている物理ブロックおよび当該物理ブロックに係る前使用物理ブロックを正常な記憶状態に復帰させることができる。
- 25 ステップS 1 4においてステータス情報が“A A A A_h”に等しくない場合には、ステータス情報が“0 0 0 0_h”に等しいか否かを判定する（ステップS 1 7）。ステップS 1 6を終了した後、並びにステップ

S 1 7 でステータス情報が“0 0 0 0_h”に等しい場合には、検索対象となっている物理ブロックの論理ブロックアドレス記憶領域 3 を参照して対応する論理ブロックを特定し、アドレス変換テーブルにおいて当該論理ブロックに対応する物理ブロックとして検索対象となっている物理
5 ブロックを登録する（ステップ S 1 8）。これにより、停電等によるシステムダウンに起因して消失したアドレス変換テーブルを再構築する。

ステップ S 1 7 においてステータス情報が“0 0 0 0_h”に等しくない場合には、検索対象となっている物理ブロックが異常ブロックであると判定して、当該物理ブロックのアドレスを異常ブロックテーブルに登録する（ステップ S 1 9）。ステップ S 1 3 を終了した後、ステップ S
10 1 8 を終了した後、並びにステップ S 1 9 を終了した後には、全ての物理ブロックについて検索が完了したか否かを判定する（ステップ S 2 0）。全ての物理ブロックについて検索が完了していない場合には、ステップ S 1 1 に戻って同様の処理を次の物理ブロックに対して実施する。
15 また、全ての物理ブロックについて検索が完了した場合には、第 6 図に示される処理を終了して後述する異常ブロックに係る処理を実施する。

全物理ブロックについての上記の検索処理において、物理ブロックが異常ブロックであると判定される要因については、ステータス 3 において書き込み対象の物理ブロックのステータス情報を“F F F F_h”から
20 “A A A A_h”に変更している際に停電等のシステムダウンが発生した場合、ステータス 5 において消去対象の物理ブロックのステータス情報を“0 0 0 0_h”から“F F F F_h”に変更している際に停電等のシステムダウンが発生した場合、並びにステータス 7 において書き込み対象の物理ブロックのステータス情報を“A A A A_h”から“0 0 0 0_h”に変更
25 している際に停電等のシステムダウンが発生した場合が考えられる。
これらの要因のなかにおいて、ステータス 5 において消去対象の物理ブ

ロックのステータス情報を“0000_h”から“FFFF_h”に変更している際に停電等のシステムダウンが発生した場合については、対応する書き込み対象の物理ブロックについて第6図に示されるステップS15の処理を実施することで、異常ブロックであると判定された物理ブロックを消去状態として、当該物理ブロックのステータス情報を正常値である“FFFF_h”に訂正することができる。したがって、このような消去処理の完了した物理ブロックを異常ブロックテーブルから削除することが可能となる。

第7図は、異常ブロックのなかにおける消去済み物理ブロックの検索処理を示すフローチャートである。まず、異常ブロックとして登録されている各物理ブロック毎に検索を実施するように、異常ブロックテーブルから登録されている物理ブロックのアドレスを取り出して検索対象の物理ブロックを特定する（ステップS21）。次に、ステータス情報が“FFFF_h”に等しいか否かを判定する（ステップS22）。ステータス情報が“FFFF_h”に等しい場合には、消去処理の完了している前使用物理ブロックであることを示すので、検索対象となっている物理ブロックに係るアドレスを異常ブロックテーブルから削除する（ステップS23）。ステップS23を終了した後、並びにステップS22でステータス情報が“FFFF_h”に等しくない場合には、異常ブロックとして登録された全ての物理ブロックについて検索が完了したか否かを判定する（ステップS24）。全ての物理ブロックについて検索が完了していない場合には、ステップS21に戻って同様の処理を異常ブロックテーブルに基づいて特定される次の物理ブロックに対して実施する。全ての物理ブロックについて検索が完了した場合には、第7図に示される処理を終了して後述する異常ブロックに係る次の処理を実施する。

第8図は、異常ブロックに係る正常化処理を示すフローチャートであ

る。まず、異常ブロックとして登録されている各物理ブロック毎に検索を実施するように、第7図に示す処理により修正された異常ブロックテーブルから登録されている物理ブロックのアドレスを取り出して検索対象となる物理ブロックを特定する（ステップS 3 1）。次に、検索対象とな

5 となっている物理ブロックの冗長領域2からステータス情報を取り出して、当該ステータス情報と“AAAA_h”との論理積をとる（ステップS 3 2）。既に述べたように、NAND型フラッシュメモリのデータ書き込みはバイナリデータの“1”を“0”に変えることで実施される。したがって、ステータス3において書き込み対象の物理ブロックのステ

10 タス情報を“FFFF_h”から“AAAA_h”に変更している際に停電等によるシステムダウンが発生したことに起因してステータス情報が本来とるべき値とは異なる値を有する場合には、当該ステータス情報と“AAAA_h”との論理積は“AAAA_h”に等しくなる。また、ステータス7において書き込み対象の物理ブロックのステータス情報を“AA

15 AA_h”から“0000_h”に変更している際に停電等によるシステムダウンが発生したことに起因してステータス情報が本来とるべき値とは異なる値を有する場合には、当該ステータス情報と“AAAA_h”との論理積は“AAAA_h”に等しくなることはない。

ステータス情報に係る上記の特性に鑑みて、次のステップでは、ステータス情報と“AAAA_h”との論理積が“AAAA_h”に等しいか否かを判定する（ステップS 3 3）。論理積が“AAAA_h”に等しい場合には、検索対象となっている物理ブロックへのデータの書き込みは完了しているが当該物理ブロックに係る前使用物理ブロックのデータ消去は完了していないために、前使用物理ブロックアドレス記憶領域4に記憶

20 されているアドレスにより特定される前使用物理ブロックのデータを消去する（ステップS 3 4）。ステップS 3 4を終了した後、並びにステ

25

- ップS 3 3において論理積が“AAA A_h”に等しくないと判定された場合には、検索対象となっている物理ブロックのステータス情報記憶領域6に“0 0 0 0_h”を書き込む（ステップS 3 5）。ステップS 3 4およびステップS 3 5の処理を実施することで、第5図に示されるステータス3において停電等によるシステムダウンが発生した場合でも、前使用物理ブロックのデータ消去および新たなステータス情報の書き込みを実施して、検索対象となっている物理ブロックおよび前使用物理ブロックをステータス情報に応じた正常な記憶状態に復帰させることができる。また、ステップS 3 5の処理を実施することで、第5図に示されるステータス7において停電等によるシステムダウンが発生した場合でも、新たなステータス情報の書き込みを実施して、検索対象となっている物理ブロックをステータス情報に応じた正常な記憶状態に復帰させることができる。

- 次に、検索対象となっている物理ブロックの論理ブロックアドレス記憶領域3を参照して対応する論理ブロックを特定し、アドレス変換テーブルにおいて当該論理ブロックに対応する物理ブロックとして検索対象となっている物理ブロックを登録する（ステップS 3 6）。ステップS 3 6の処理を異常ブロックとして登録された全ての物理ブロックに対して実施することで、停電等によるシステムダウンに起因して消失したアドレス変換テーブルの復元処理を完了することができる。

- 次に、異常ブロックとして登録された全ての物理ブロックについて検索が完了したか否かを判定する（ステップS 3 7）。全ての物理ブロックについて検索が完了していない場合には、ステップS 3 1に戻って同様の処理を異常ブロックテーブルに基づいて特定される次の物理ブロックに対して実施する。全ての物理ブロックについて検索が完了した場合には、処理を終了する。

以上のように、この実施例 1 によれば、データの書き換えの対象となる論理ブロックに対して消去状態にあった新たな物理ブロックを割り当てて当該物理ブロックにデータを書き込むとともに、それまで論理ブロックに対応付けられていた前使用物理ブロックのデータを消去することでデータの書き換えを実施するフラッシュメモリにおいて、冗長領域 2 が論理ブロックアドレス記憶領域 3 と、前使用物理ブロックアドレス記憶領域 4 と、ステータス情報記憶領域 6 とを有して構成されているので、停電等によるシステムダウンが生じて、ステータス情報記憶領域 6 を参照することでシステムダウン時に書き込みの対象となっていた物理ブロックについてその動作状態を検知することができるとともに、前使用物理ブロックアドレス記憶領域 4 を参照することで上記物理ブロックに係る前使用物理ブロックを特定することができるから、動作状態に応じてデータ破壊の生じた可能性のある物理ブロックおよび当該物理ブロックに係る前使用物理ブロックに対して適切な復元処理を実施することが可能となり、フラッシュメモリを正常な記憶状態に復帰させることができるという効果を奏する。

また、ステータス情報としては、物理ブロックが消去状態にあることを示す“F F F F_h”と、書き込み対象の物理ブロックへのデータの書き込みが完了してはいるが対応する前使用物理ブロックのデータが未消去である状態を示す“A A A A_h”と、書き込み対象の物理ブロックへのデータの書き込みが完了するとともに対応する前使用物理ブロックのデータが消去済みである状態を示す“0 0 0 0_h”とを備えるように構成したので、物理ブロックにデータ破壊が発生したとしても、ステータス情報が“F F F F_h”であれば書き込み対象の物理ブロックを消去すればよく、またステータス情報が“A A A A_h”であれば前使用物理ブロックを消去すればよく、データ書き換え動作に際して生起する各ステ

ータスについてシステムダウンが生じた場合に必要とされる復元処理の内容が変わる時点でステータス情報が変更されるようになされているから、ステータス情報を参照することでフラッシュメモリを正常な記憶状態に容易に復帰させることができるという効果を奏する。

- 5 また、データの書き換えが進行するのに応じて、書き込み対象の物理ブロックに係るステータス情報が“F F F F_h”、“A A A A_h”、“0 0 0 0_h”と変化するので、ステータス情報を変更する際に停電等によるシステムダウンが発生してステータス情報が本来とるべき値を有しないという異常が生じたとしても、ステータス情報の変更がステータス情報
- 10 報を構成するビット列の所定のビットに係るバイナリデータを“1”から“0”へ変更することで実施されることに鑑みれば、異常の生じたステータス情報と“A A A A_h”との論理積をとって当該論理積を評価することで、ステータス情報を“F F F F_h”から“A A A A_h”へ変更する際にシステムダウンが発生したのか、あるいはステータス情報を“A
- 15 A A A_h”から“0 0 0 0_h”へ変更する際にシステムダウンが発生したのかを判定することが可能となり、フラッシュメモリの動作状態を簡単な判定方式により詳細に検知することができて、フラッシュメモリを迅速かつ確実に正常な記憶状態に復帰させることができるという効果を奏する。

20 実施例 2 .

この実施例 2 は、データの書き込み対象となる空きブロックを検出するために、例えば空きブロックのアドレス等として与えられる空きブロック特定情報を順次登録する空きブロック登録テーブルを有する点で実施例 1 と差異を有する。

- 25 第 9 図は、空きブロック登録テーブル等を示す図である。第 9 図において、1 1 は空きブロックの数を記録する空きブロック数カウンタ、1

2 はそれぞれが順次配列された複数の記憶部から構成される空きブロック登録テーブルである。空きブロック数カウンタ 11 および空きブロック登録テーブル 12 は、ともに例えば CPU に接続された RAM 内のワークエリアにおいて構成することが可能である。第 9 図に示されるように、
5 空きブロック数カウンタ 11 に記憶された空きブロックの数が N である場合には、空きブロック登録テーブル 12 において相対的地址として与えられるアドレス 0 からアドレス $(N-1)$ を指標としてアクセス可能な各記憶部にそれぞれ空きブロックのアドレスが記憶される。

次に、この実施例 2 によるメモリ制御方法について説明する。任意の
10 論理ブロックに記憶されたデータに係る書き換え動作は、基本的には第 4 図に示されたフローチャートによる書き換え動作と同様であるので、その説明を省略する。上述したようにこの実施例 2 では、ステップ S 2 として示されている適切な空きブロックを検出する方法において差異を有している。第 10 図は、この発明の実施例 2 による適切な空きブロック
15 の検出方法を示すフローチャートである。まず、空きブロック数カウンタ 11 を参照して、その時点において消去状態にあつてデータ書き込み可能となっている物理ブロックである空きブロックの数を確認する（ステップ S 41（第 7 のステップ））。空きブロック数を N とすると、 N 個の空きブロックのなかから適切な空きブロックを選定するように、
20 0 から $(N-1)$ の範囲で乱数を発生させて、空きブロック登録テーブル 12 において、アクセスするアドレス M を決定する（ステップ S 42）。次に、空きブロック登録テーブル 12 のアドレス M に登録されている物理ブロックのアドレス $P 2$ を読み出して、この物理ブロック $P 2$ を書き込み対象の物理ブロックとして特定する（ステップ S 43（第 8
25 のステップ））。書き込み対象の物理ブロック $P 2$ が特定されれば、空きブロック登録テーブル 12 におけるアドレス M の記憶部に、この書き

込み動作に伴って消去対象となる物理ブロックのアドレス P 1 をアドレス P 2 に代えて書き込む（ステップ S 4 4）。なお、書き込み対象の物理ブロック P 2 が特定された後の処理については、第 4 図に示されるように、書き込み対象の物理ブロック P 2 にデータを書き込み、前使用物理ブロック P 1 のデータを消去し、アドレス変換テーブルを更新すること
5 でデータの書き換えを完了する。

以上のように、この実施例 2 によれば、実施例 1 と同等の効果を奏するとともに、空きブロックの数を確認するステップ S 4 1 と、乱数を発生させて、当該乱数に応じて複数の空きブロックのなかから 1 つの空き
10 ブロックを選定し、選定された空きブロックを書き込み対象となる物理ブロックとして特定するステップ S 4 3 とを有するように構成したので、フラッシュメモリへのデータの書き換え回数が多くなれば各物理ブロックの書き換え回数も統計的に平均化されることが予測され、簡単な構成により、各物理ブロックの書き換え回数を平均化させてフラッシュメモ
15 リの寿命を延ばすことができるという効果を奏する。NAND 型フラッシュメモリ等のフラッシュメモリについては、同一の物理ブロックへの書き込みが集中すると素子が劣化しやすく、書き換え回数を物理ブロック間で平均化させることはフラッシュメモリの寿命を延ばすうえで重要となる。

20 また、空きブロックの数だけ順次配列された記憶部にそれぞれ空きブロックのアドレスを記憶した空きブロック登録テーブル 1 2 を設けて、発生された乱数に応じて空きブロック登録テーブル 1 2 内のいずれかの記憶部を選定することで書き込み対象となる 1 つの空きブロックを特定するように構成したので、空きブロックの管理を容易にするとともに、
25 空きブロック登録テーブルを構成する各記憶部をそれぞれ指標する相対的なアドレスとして与えられる連続した整数にそれぞれの空きブロック

を対応付けることで、空きブロック数に応じた所定の数値範囲で乱数を発生させるという簡易な方式を用いるのみで、各空きブロックをおおよそ同じ確率で選定できるようにするという効果を奏する。

- なお、上記実施例 1 および実施例 2 により説明されるフラッシュメモリ並びにフラッシュメモリのデータ書き換え方法は、本願発明を限定するものではなく、例示することを意図して開示されているものである。本願発明の技術的範囲は請求の範囲の記載により定められるものであり、請求の範囲に記載された技術的範囲内において種々の設計的变化が可能である。例えばステータス情報は“F F F F_h”、“A A A A_h”、“0 0 0 0_h”に限定されるものではなく、消去状態にあることを示す第 1 のステータス情報を表現するビット列における 1 または複数のビットに係るバイナリデータを“1”から“0”へ変更することで書き込み対象の物理ブロックへのデータの書き込みが完了してはいるが対応する前使用物理ブロックのデータが未消去である状態を示す第 2 のステータス情報が構成され、第 2 のステータス情報を表現するビット列における 1 または複数のビットに係るバイナリデータを“1”から“0”へ変更することで書き込み対象の物理ブロックへのデータの書き込みが完了するとともに対応する前使用物理ブロックのデータが消去済みである状態を示す第 3 のステータス情報が構成されるようであれば、第 1、第 2、第 3 のステータス情報として任意のビット列を設定することが可能である。

請求の範囲

1. データが記憶されるデータ領域と、種々の管理情報等が記憶される
冗長領域とを備える物理ブロックを記憶単位として構成される不揮発性
メモリにおいて、
それぞれの前記冗長領域が、当該冗長領域の含まれる物理ブロックに
対応する論理ブロックを特定する情報を記憶する論理ブロック情報記憶
領域と、対応する論理ブロックが1つ前に対応付けられていた物理ブロ
ックである前使用物理ブロックを特定する情報を記憶する前使用物理ブ
ロック情報記憶領域と、当該冗長領域の含まれる物理ブロックをデータ
の書き込み対象としたデータ書き換え動作を実施する際に生起する各段
階の動作状態を識別するステータス情報を記憶するステータス情報記憶
領域とを有して構成されていることを特徴とする不揮発性メモリ。
2. ステータス情報記憶領域には、当該ステータス情報記憶領域の含
まれる物理ブロックが消去状態にあることを示す第1のステータス情報
と、当該ステータス情報記憶領域の含まれる物理ブロックへのデータの
書き込みが完了してはいるが対応する前使用物理ブロックのデータが未
消去である状態を示す第2のステータス情報と、当該ステータス情報記
憶領域の含まれる物理ブロックへのデータの書き込みが完了するととも
に対応する前使用物理ブロックのデータが消去済みである状態を示す第
3のステータス情報とが少なくとも記憶されることを特徴とする請求の
範囲第1項記載の不揮発性メモリ。
3. 第1のステータス情報と第2のステータス情報と第3のステータ
ス情報とが同じビット数で表現され、第1のステータス情報を表現する
ビット列における1または複数のビットに係るバイナリデータを“1”
から“0”へ変更することで第2のステータス情報が構成され、第2の

ステータス情報を表現するビット列における 1 または複数のビットに係るバイナリデータを“1”から“0”へ変更することで第 3 のステータス情報が構成されることを特徴とする請求の範囲第 2 項記載の不揮発性メモリ。

- 5 4. データが記憶されるデータ領域と、種々の管理情報等が記憶される冗長領域とを備える物理ブロックを記憶単位として構成される不揮発性メモリにてデータを書き換えるデータ書き換え方法において、

データを書き換える対象となる論理ブロックを特定する第 1 のステップと、

- 10 消去状態にあって書き込み可能な物理ブロックである空きブロックのなかからデータの書き込み対象となる物理ブロックを特定する第 2 のステップと、

論理ブロックと物理ブロックとを対応付けるアドレス変換テーブルを参照して、書き換え対象の論理ブロックに対応付けられている物理ブロックである前使用物理ブロックを特定する第 3 のステップと、

- 15 書き込み対象の物理ブロックにデータを書き込む第 4 のステップと、
前使用物理ブロックのデータを消去する第 5 のステップと、

書き換え対象の論理ブロックに書き込み対象の物理ブロックを対応付けるようにアドレス変換テーブルを更新する第 6 のステップとを有し、

- 20 書き込み対象の物理ブロックについては、当初消去状態にあることを示す第 1 のステータス情報が設定され、第 4 のステップの処理が終了した後にデータの書き込みが完了したことを示す第 2 のステータス情報が設定され、第 5 のステップの処理が終了した後に前使用物理ブロックのデータの消去が完了したことを示す第 3 のステータス情報が設定されることを特徴とする不揮発性メモリのデータ書き換え方法。

25

5. 第 1 のステータス情報と第 2 のステータス情報と第 3 のステータ

- ス情報とが同じビット数で表現され、第 1 のステータス情報を表現するビット列における 1 または複数のビットに係るバイナリデータを “1” から “0” へ変更することで第 2 のステータス情報が構成され、第 2 のステータス情報を表現するビット列における 1 または複数のビットに係るバイナリデータを “1” から “0” へ変更することで第 3 のステータス情報が構成されることを特徴とする請求の範囲第 4 項記載の不揮発性メモリのデータ書き換え方法。
- 5
6. 第 2 のステップが、空きブロックの数を確認する第 7 のステップと、
- 10 乱数を発生させて、複数の空きブロックのなかから 1 つの空きブロックを選定し、当該空きブロックを書き込み対象となる物理ブロックとして特定する第 8 のステップとを有することを特徴とする請求の範囲第 4 項記載の不揮発性メモリのデータ書き換え方法。
7. 空きブロックの数だけ順次配列された複数の記憶部から成りそれぞれの記憶部には空きブロックを特定する情報が記憶されている空きブロック登録テーブルを設けて、
- 15 発生された乱数に応じて、空きブロック登録テーブル内のいずれかの記憶部を選定することで書き込み対象となる空きブロックを特定することを特徴とする請求の範囲第 6 項記載の不揮発性メモリのデータ書き換え方法。
- 20
8. データが記憶されるデータ領域と、種々の管理情報が記憶される冗長領域とを備える物理ブロックを記憶単位として構成され、データ書き換え動作を実施する際に書き込み対象の物理ブロックに生起する各段階の動作状態を識別するステータス情報を記憶するステータス情報記憶領域がそれぞれの冗長領域に設けられている不揮発性メモリにてデータを
- 25
- 書き換えるデータ書き換え方法において、

データを書き換える対象となる論理ブロックを特定する第1のステップと、

- 5 消去状態にあって書き込み可能な物理ブロックである空きブロックのなかからデータの書き込み対象となる物理ブロックを特定する第2のステップと、

論理ブロックと物理ブロックとを対応付けるアドレス変換テーブルを参照して、書き換え対象の論理ブロックに対応付けられている物理ブロックである前使用物理ブロックを特定する第3のステップと、

- 10 書き込み対象の物理ブロックにデータを書き込む第4のステップと、
前使用物理ブロックのデータを消去する第5のステップと、

書き換え対象の論理ブロックに書き込み対象の物理ブロックを対応付けるようにアドレス変換テーブルを更新する第6のステップとを有し、

前記第2のステップが、空きブロックの数を確認する第7のステップと、

- 15 乱数を発生させて、複数の空きブロックのなかから1つの空きブロックを選定し、当該空きブロックを書き込み対象となる物理ブロックとして特定する第8のステップとを有することを特徴とする不揮発性メモリのデータ書き換え方法。

1/9

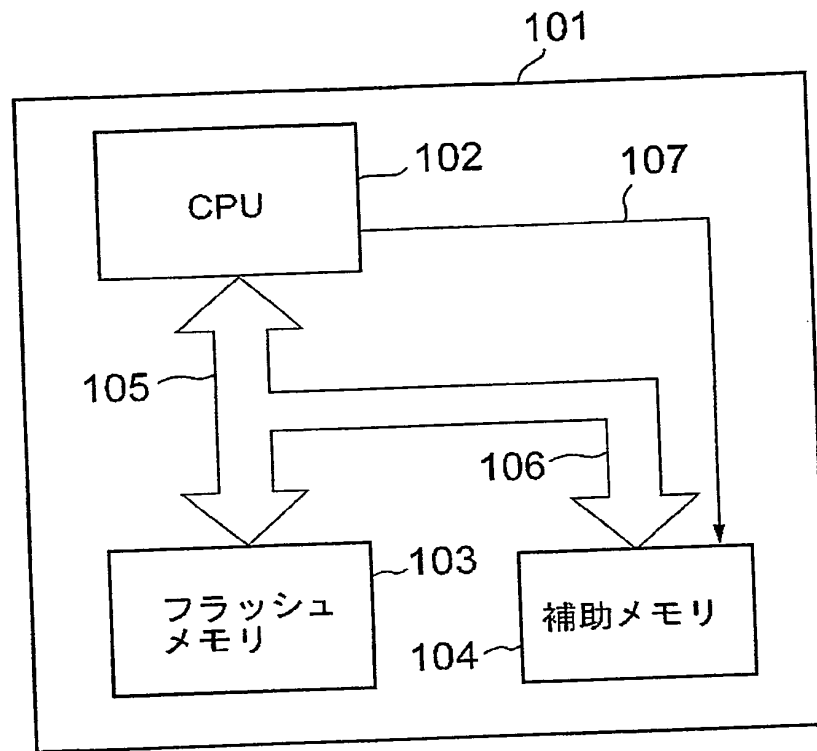


Fig.1

2/9

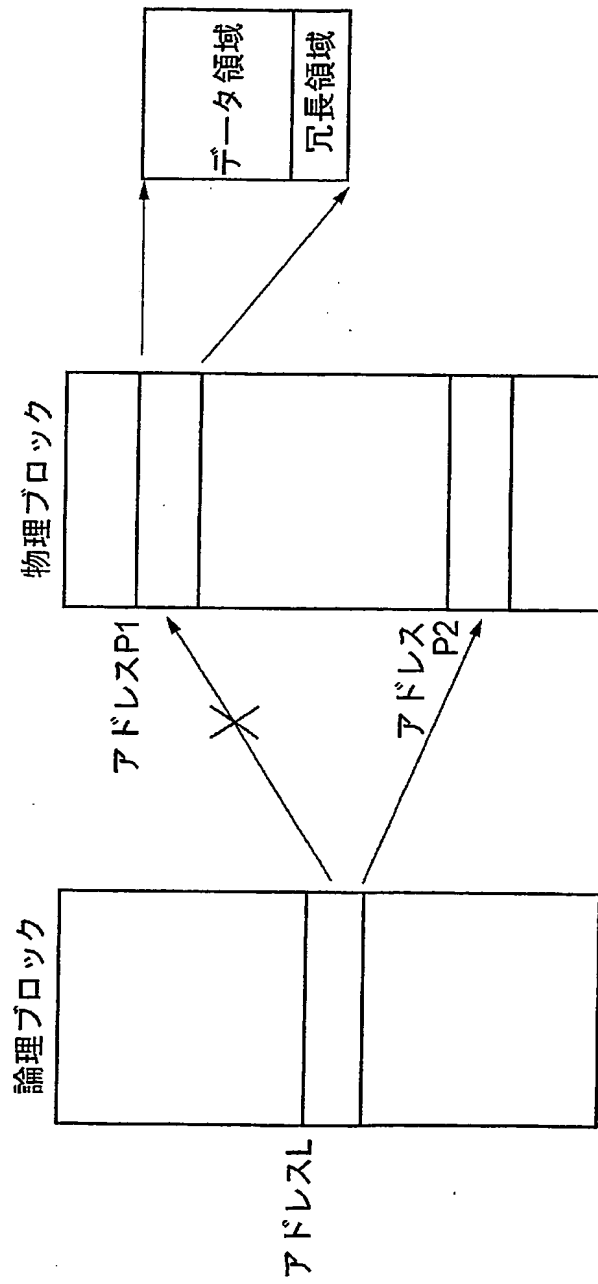


Fig.2

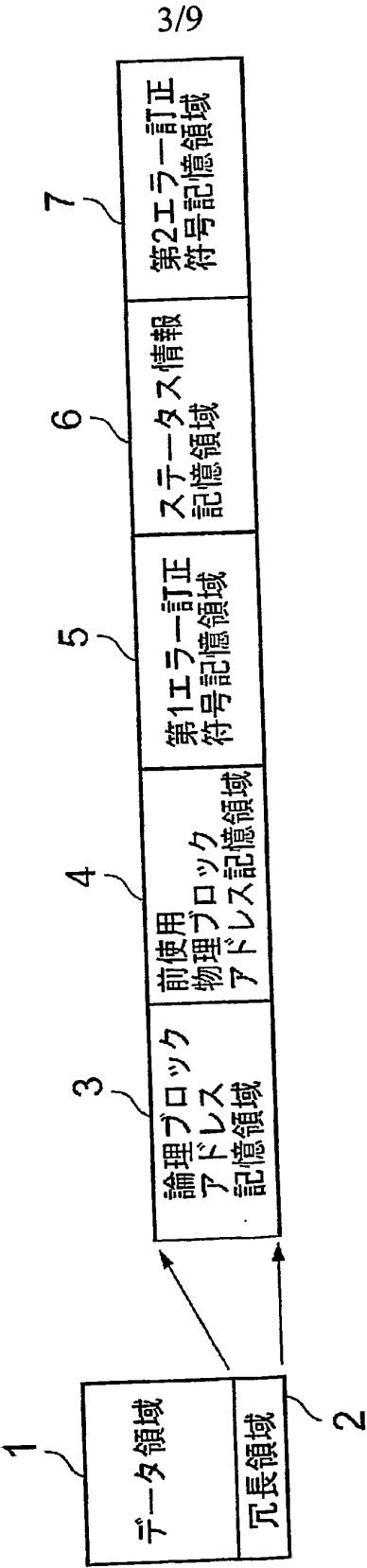


Fig.3

4/9

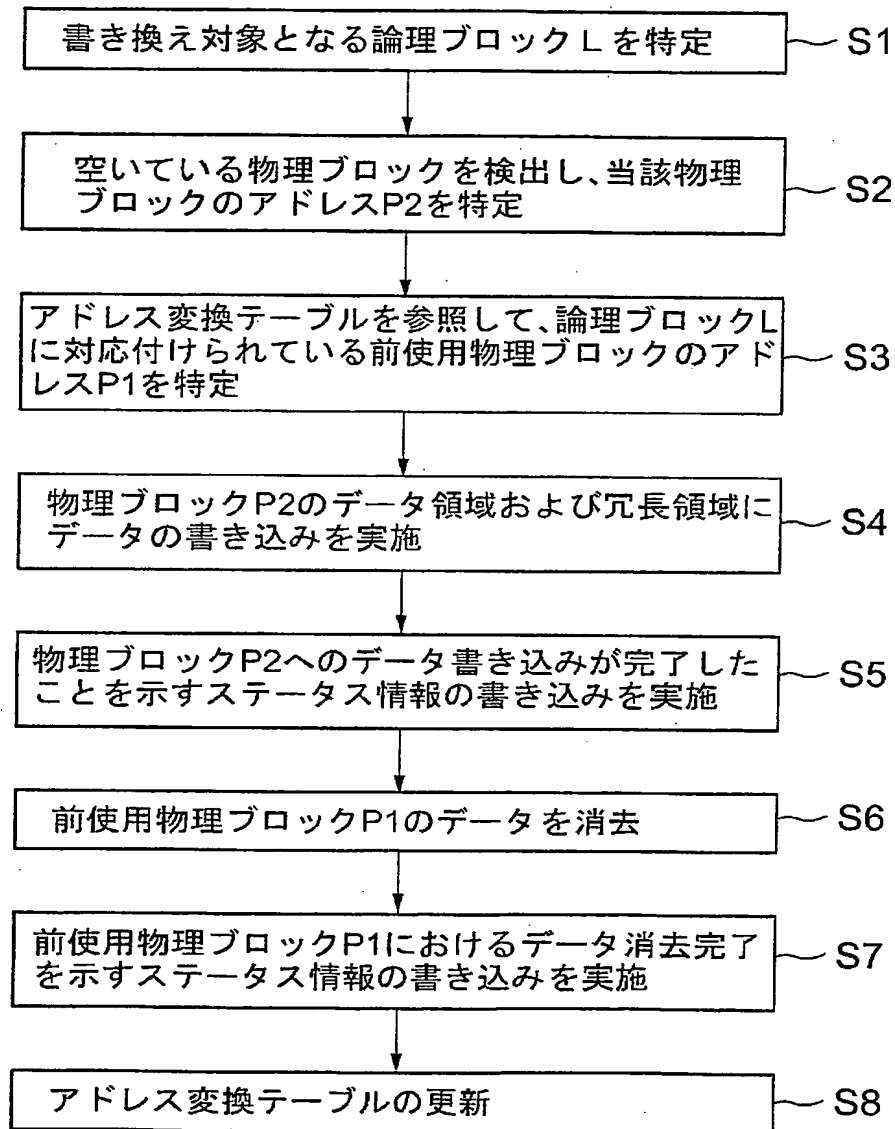


Fig.4

	検索対象物理ブロック (P2)						前使用物理ブロック (P1)		
	データ	ステータス 情報	論理ブロック アドレス	前使用物理 ブロック アドレス	エラー 訂正符号	ステータス 情報	論理ブロック アドレス	前使用物理 ブロック アドレス	
0	初期状態	[F] h	FFFFh	FFFFh	FFh	0000h	L	P0	
1	データ書き込み	1->0		1->0	1->0				
2	データ書き込み	data		L	ecc				
3	ステータス 情報書き込み		1->0						
4	ステータス 情報書き込み		AAAAh			0->1	0->1	0->1	
5	データ消去					FFFFh	FFFFh	FFFFh	
6	データ消去								
7	ステータス 情報書き込み		1->0						
8	ステータス 情報書き込み		0000h						

Fig.5

6/9

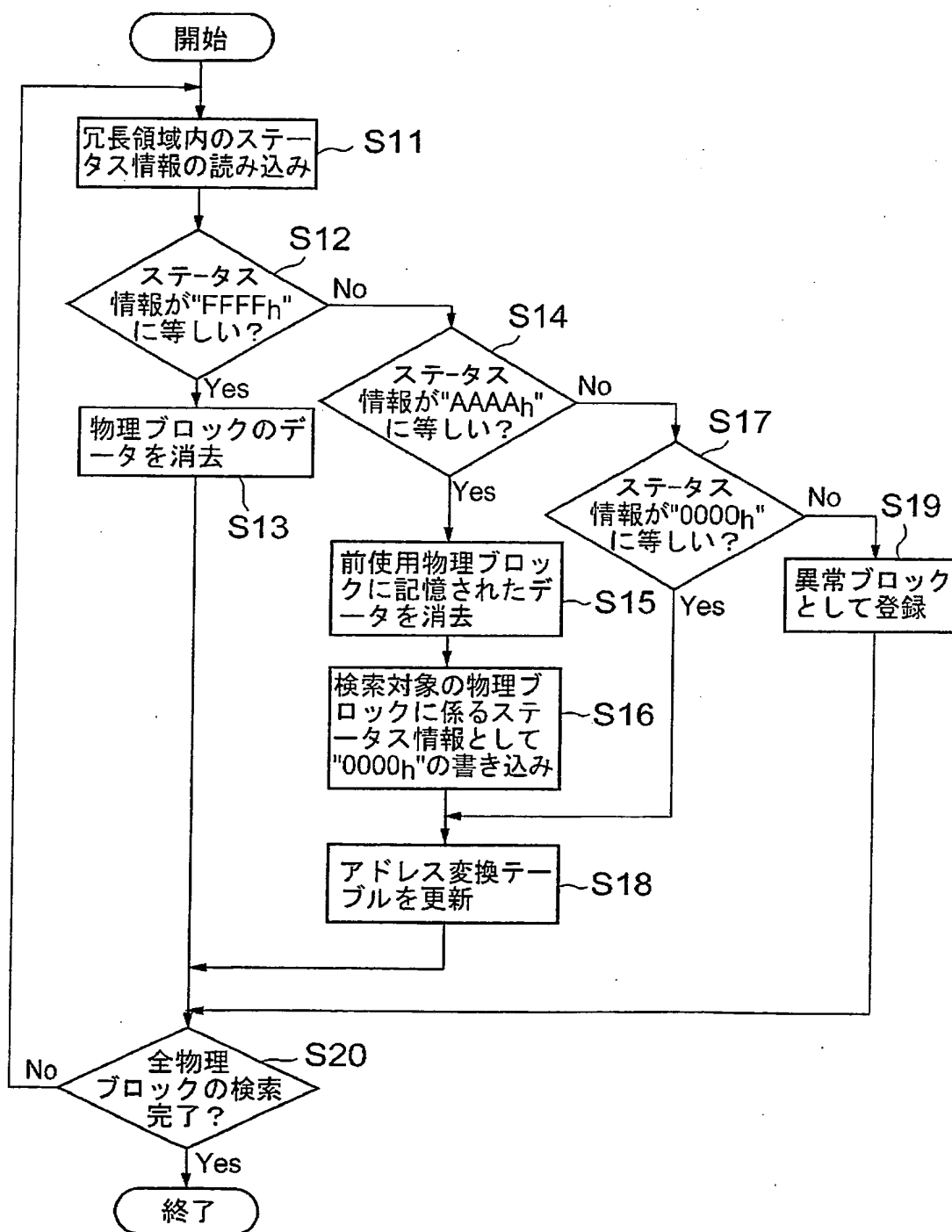


Fig.6

7/9

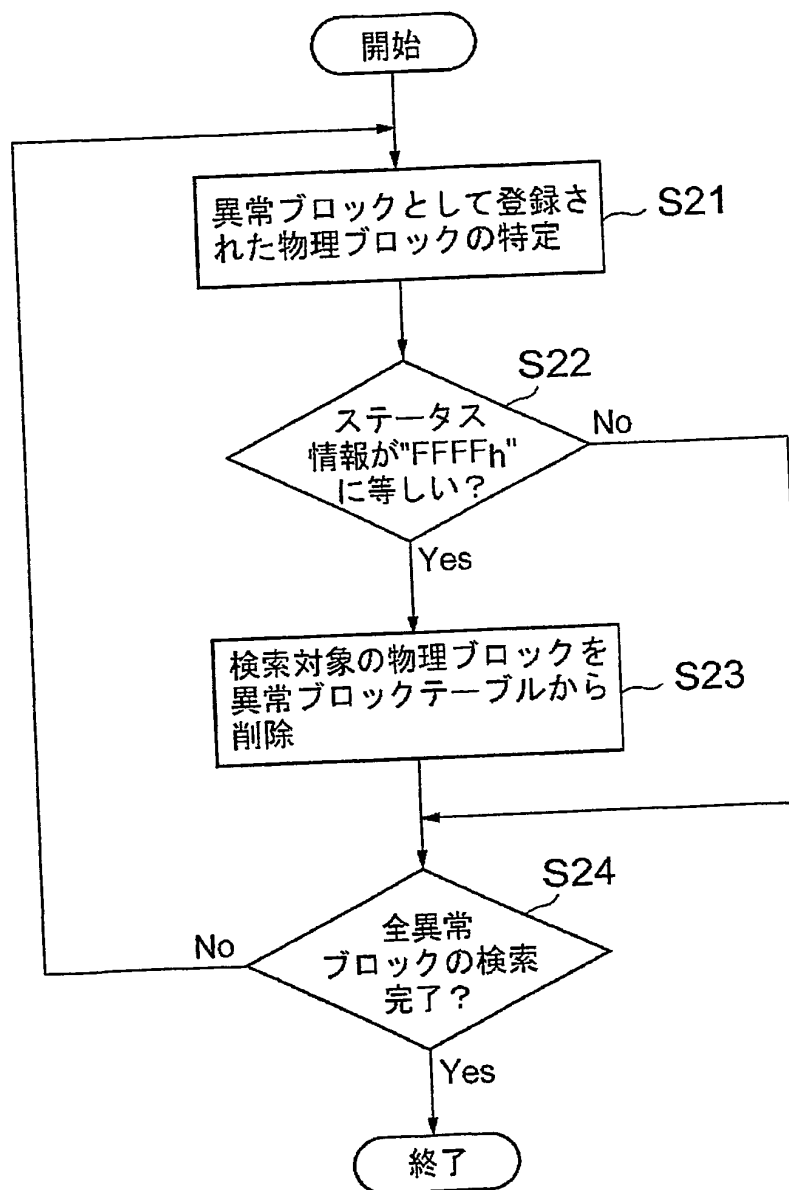


Fig.7

8/9

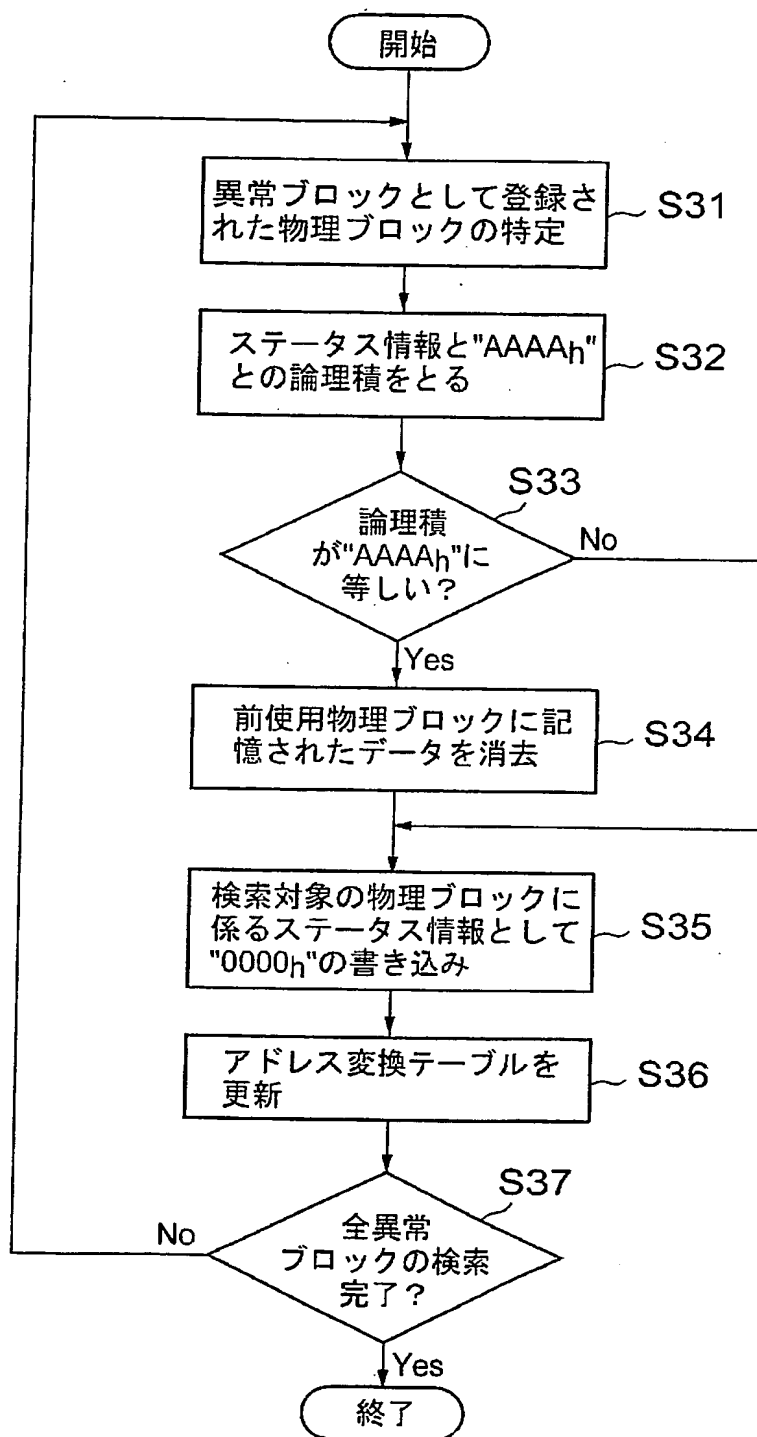


Fig.8

9/9

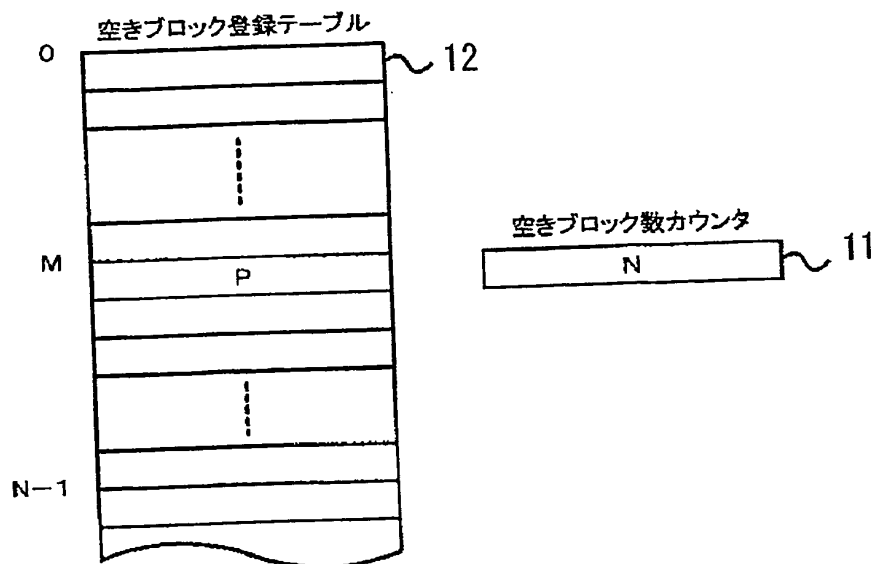


Fig.9

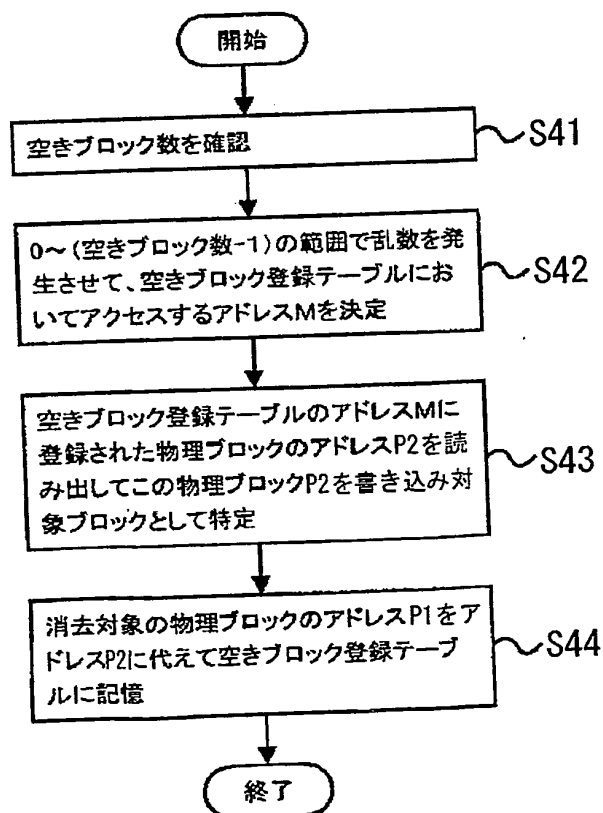


Fig.10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07356

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F12/16, G11C16/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F12/16, G11C16/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-2002	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-272569 A (Hitachi, Ltd.), 08 October, 1999 (08.10.99), Column 4, line 49 to column 6, line 30 (Family: none)	1-8
A	JP 2001-147864 A (Seiko Epson Corp.), 29 May, 2001 (29.05.01), Full text; all drawings (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
18 October, 2002 (18.10.02)Date of mailing of the international search report
29 October, 2002 (29.10.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

国際調査報告

国際出願番号 PCT/JP02/07356

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl. 7 G06F12/16, G11C16/02

B. 調査を行った分野
調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl. 7 G06F12/16, G11C16/02

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922-2002年
日本国公開実用新案公報 1971-2002年
日本国実用新案登録公報 1996-2002年
日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-272569 A (株式会社日立製作所) 1999. 10.08, 第4欄第49行-第6欄第30行 (ファミリーなし)	1-8
A	JP 2001-147864 A (セイコーエプソン株式会社) 2001.05.29, 全文, 全図 (ファミリーなし)	1-8

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日 18.10.02

国際調査報告の発送日 29.10.02

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
堀江義隆



5N 9172

電話番号 03-3581-1101 内線 3585

様式PCT/ISA/210 (第2ページ) (1998年7月)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)